

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-20260

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

G 0 6 F 13/36
13/38

識別記号 520 D 7052-5B
350 7052-5B

F I

技術表示箇所

(21)出願番号

特願平3-172953

(22)出願日

平成3年(1991)7月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 長谷川 康

東京都港区芝五丁目7番1号日本電気株式
会社内

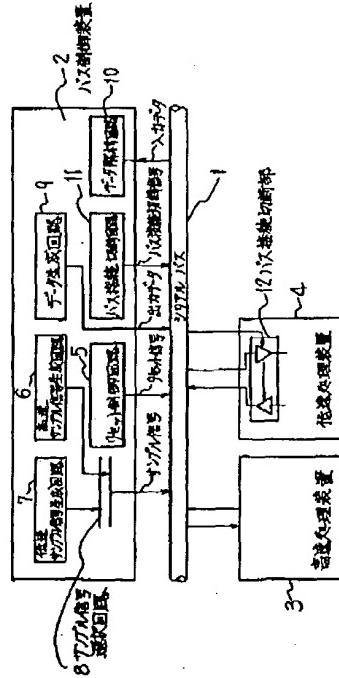
(74)代理人 弁理士 内原 晋

(54)【発明の名称】シリアルバス制御方式

(57)【要約】

【構成】バス制御装置2のリセット制御回路5は、リセット信号をシリアルバス1に送出する。サンプル信号生成回路6、7は、高速や低速のサンプル信号を発生する。サンプル信号選択回路8は、当該のサンプル信号を選択して、シリアルバス1に送出する。データ生成回路9は、出力データをシリアルバス1に送出する。データ解析回路10は、入力データを解析する。バス接続切断回路11は、バス接続切断信号をシリアルバス1に送出する。低速処理装置4のバス接続切断部12は、バス接続切断信号をシリアルバス1から受けて、自装置内の各部をシリアルバス1に接続したり切断したりする制御を行う。

【効果】高速処理装置の処理中には、低速処理装置のシリアルバスへの接続を切断して誤動作を防ぐことにより、高速処理装置での高速処理が行える。



【特許請求の範囲】

【請求項1】 シリアルバスを制御するバス制御装置と、高速クロックによる動作が可能な少なくとも1台の高速処理装置と、低速クロックによる動作を行う少なくとも1台の低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式において、

(A) 前記高速処理装置および前記低速処理装置のそれを初期化するためのリセット信号を前記シリアルバスに送出するリセット制御回路と、

(B) 高速から低速の複数種類のサンプル信号を発生させるサンプル信号生成回路と、

(C) 前記サンプル信号生成回路の出力から当該のサンプル信号を選択して、前記シリアルバスに送出するサンプル信号選択回路と、

(D) 当該の前記高速処理装置または前記低速処理装置に伝える制御内容の出力データを前記シリアルバスに送出するデータ生成回路と、

(E) 前記データ生成回路の出力データにより指定された当該の前記高速処理装置または前記低速処理装置からの入力データを解析するデータ解析回路と、

(F) 前記低速処理装置の各々に対するバス接続切断信号を前記シリアルバスに送出するバス接続切断回路と、を前記バス制御装置に備えるとともに、

(G) 前記バス接続切断回路が送出したバス接続切断信号を前記シリアルバスから受けて、自装置内の各部を前記シリアルバスに接続したり切断したりする制御を行うバス接続切断部、を前記低速処理装置に備えることを特徴とするシリアルバス制御方式。

【請求項2】 シリアルバスを制御するバス制御装置と、高速クロックによる動作が可能な少なくとも1台の高速処理装置と、低速クロックによる動作を行う少なくとも1台の低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式において、

(A) 前記高速処理装置および前記低速処理装置のそれを初期化するためのリセット信号を前記シリアルバスに送出するリセット制御回路と、

(B) 高速から低速の複数種類のサンプル信号を発生させるサンプル信号生成回路と、

(C) 前記サンプル信号生成回路の出力から当該のサンプル信号を選択して、前記シリアルバスに送出するサンプル信号選択回路と、

(D) 前記リセット制御回路のリセット信号後に、まず、前記低速処理装置の各々に対するバス接続切断信号を含み、その後に、当該の前記高速処理装置または前記低速処理装置に伝える制御内容を含む出力データを前記シリアルバスに送出するデータ生成回路と、

(E) 前記データ生成回路の出力データにより指定された当該の前記高速処理装置または前記低速処理装置から

の入力データを解析するデータ解析回路と、を前記バス制御装置に備えるとともに、

(F) 前記データ生成回路が送出した出力データに含むバス接続切断信号を前記シリアルバスから受けて、自装置内の各部を前記シリアルバスに接続したり切断したりする制御を行うバス接続切断部、を前記低速処理装置に備えることを特徴とするシリアルバス制御方式。

【請求項3】 シリアルバスを制御するバス制御装置と、高速クロックによる動作が可能な少なくとも1台の高速処理装置と、低速クロックによる動作を行う少なくとも1台の低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式において、

(A) 前記高速処理装置および前記低速処理装置のそれを初期化するためのリセット信号を前記シリアルバスに送出するリセット制御回路と、

(B) 高速から低速の複数種類のサンプル信号を発生させるサンプル信号生成回路と、

(C) 前記リセット制御回路のリセット信号後に、ま

ず、前記低速処理装置でのバス接続切断信号の抽出のために、前記サンプル信号生成回路の低速のサンプル信号を包含する長いサンプル信号を選択して、前記シリアルバスに送出し、その後に、前記サンプル信号生成回路の出力から当該のサンプル信号を選択して、前記シリアルバスに送出するサンプル信号選択回路と、

(D) 前記サンプル信号選択回路の出力に同期して、まず、前記低速処理装置の各々に対するバス接続切断信号を含み、その後に、当該の前記高速処理装置または前記低速処理装置に伝える制御内容を含む出力データを前記シリアルバスに送出するデータ生成回路と、

(E) 前記データ生成回路の出力データにより指定された当該の前記高速処理装置または前記低速処理装置からの入力データを解析するデータ解析回路と、を前記バス制御装置に備えるとともに、

(F) 前記サンプル信号選択回路が送出した長いサンプル信号により、前記データ生成回路が送出した出力データに含むバス接続切断信号を前記シリアルバスから受けて、自装置内の各部を前記シリアルバスに接続したり切断したりする制御を行うバス接続切断部、を前記低速処理装置に備えることを特徴とするシリアルバス制御方式。

【請求項4】 シリアルバスを制御するバス制御装置と、高速クロックによる動作が可能な少なくとも1台の高速処理装置と、低速クロックによる動作を行う少なくとも1台の低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式において、

(A) 前記高速処理装置および前記低速処理装置のそれを初期化するためのリセット信号を前記シリアルバスに送出するリセット制御回路と、

3

- (B) 高速から低速の複数種類のサンプル信号を発生させるサンプル信号生成回路と、
- (C) 前記サンプル信号生成回路の出力から当該のサンプル信号を選択して、前記シリアルバスに送出するサンプル信号選択回路と、
- (D) 前記リセット制御回路のリセット信号後に、まず、前記低速処理装置に対するバスへの接続および切断を指示するバス接続切断コマンドを前記高速処理装置に伝える出力データを前記シリアルバスに送出し、その後に、当該の前記高速処理装置または前記低速処理装置に伝える制御内容の出力データを前記シリアルバスに送出するデータ生成回路と、
- (E) 前記データ生成回路の出力データにより指定された当該の前記高速処理装置または前記低速処理装置からの入力データを解析するデータ解析回路と、を前記バス制御装置に備えるとともに、
- (F) 前記データ生成回路の出力データに含む前記低速処理装置に対するバス接続切断コマンドを受けて、前記低速処理装置にバス接続切断指示を送るバス接続切断指示部、を前記高速処理装置に備え、
- (G) 前記バス接続切断指示部のバス接続切断指示を受けて、自装置内の各部を前記シリアルバスに接続したり切斷したりする制御を行うバス接続切断部、を前記低速処理装置に備えることを特徴とするシリアルバス制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はシリアルバス制御方式に関し、特にバス制御装置と高速処理装置と低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式に関する。

【0002】

【従来の技術】図8は従来のシリアルバス制御方式の一例を示すブロック図である。従来のシリアルバス制御方式では、図8に示すように、シリアルバス81に、バス制御装置82と幾つかの高速処理装置83と幾つかの低速処理装置84とが接続されている。そして、バス制御装置82は、高速処理装置83および低速処理装置84に共通のサンプル信号を発生する低速サンプル信号生成回路85と、当該の高速処理装置83または低速処理装置84に伝える制御内容の出力データを送出するデータ生成回路86と、当該の高速処理装置83または低速処理装置84からの入力データを解析するデータ解析回路87とを有している。

【0003】そこで、高速処理装置83および低速処理装置84は、シリアルバス81上で同一のサンプル信号と同一の出力データとを共有して、サンプル信号により出力データが自己に対して有効であることを認識すると、それぞれのクロックに同期して出力データを取込んでいる。このように、バス制御装置82は、シリアルバ

4

ス81に接続された最も低速の低速処理装置84に合せて、低速のサンプル信号および出力データをシリアルバス81に送出している。

【0004】

【発明が解決しようとする課題】上述した従来のシリアルバス制御方式は、最も低速の低速処理装置の誤動作を防ぐために、バス制御装置を最も低速の低速処理装置に合せて動作させているので、1台でも低速処理装置がシリアルバスに接続されると、シリアルバス全体の処理速度を落すことになり、処理時間が長くなるという欠点を有している。

【0005】本発明の目的は、高速処理装置に対する処理中には、低速処理装置のシリアルバスへの接続を切離して、低速処理装置の誤動作を防ぐことにより、高速処理装置に対する高速処理を行うことができるシリアルバス制御方式を提供することにある。

【0006】

【課題を解決するための手段】第1の発明のシリアルバス制御方式は、シリアルバスを制御するバス制御装置と、高速クロックによる動作が可能な少なくとも1台の高速処理装置と、低速クロックによる動作を行なう少なくとも1台の低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式において、(A) 前記高速処理装置および前記低速処理装置のそれを初期化するためのリセット信号を前記シリアルバスに送出するリセット制御回路と、(B) 高速から低速の複数種類のサンプル信号を発生させるサンプル信号生成回路と、(C) 前記サンプル信号生成回路の出力から当該のサンプル信号を選択して、前記シリアルバスに送出するサンプル信号選択回路と、(D) 当該の前記高速処理装置または前記低速処理装置に伝える制御内容の出力データを前記シリアルバスに送出するデータ生成回路と、(E) 前記データ生成回路の出力データにより指定された当該の前記高速処理装置または前記低速処理装置からの入力データを解析するデータ解析回路と、

(F) 前記低速処理装置の各々に対するバス接続切断信号を前記シリアルバスに送出するバス接続切断回路と、を前記バス制御装置に備えるとともに、(G) 前記バス接続切断回路が送出したバス接続切断信号を前記シリアルバスから受けて、自装置内の各部を前記シリアルバスに接続したり切斷したりする制御を行うバス接続切断部、を前記低速処理装置に備えて構成されている。

【0007】また、第2の発明のシリアルバス制御方式は、シリアルバスを制御するバス制御装置と、高速クロックによる動作が可能な少なくとも1台の高速処理装置と、低速クロックによる動作を行なう少なくとも1台の低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式において、(A) 前記高速処理装置および前記低速処理装置のそれを初期化するためのリセット信号を前記シリアルバスに送出す

るリセット制御回路と、(B) 高速から低速の複数種類のサンプル信号を発生させるサンプル信号生成回路と、(C) 前記サンプル信号生成回路の出力から当該のサンプル信号を選択して、前記シリアルバスに送出するサンプル信号選択回路と、(D) 前記リセット制御回路のリセット信号後に、まず、前記低速処理装置の各々に対するバス接続切断信号を含み、その後に、当該の前記高速処理装置または前記低速処理装置に伝える制御内容を含む出力データを前記シリアルバスに送出するデータ生成回路と、(E) 前記データ生成回路の出力データにより指定された当該の前記高速処理装置または前記低速処理装置からの入力データを解析するデータ解析回路と、を前記バス制御装置に備えるとともに、(F) 前記データ生成回路が送出した出力データに含むバス接続切断信号を前記シリアルバスから受けて、自装置内の各部を前記シリアルバスに接続したり切断したりする制御を行うバス接続切断部、を前記低速処理装置に備えて構成されている。

【0008】一方、第3の発明のシリアルバス制御方式は、シリアルバスを制御するバス制御装置と、高速クロックによる動作が可能な少なくとも1台の高速処理装置と、低速クロックによる動作を行う少なくとも1台の低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式において、(A) 前記高速処理装置および前記低速処理装置のそれぞれを初期化するためのリセット信号を前記シリアルバスに送出するリセット制御回路と、(B) 高速から低速の複数種類のサンプル信号を発生させるサンプル信号生成回路と、(C) 前記リセット制御回路のリセット信号後に、まず、前記低速処理装置でのバス接続切断信号の抽出のために、前記サンプル信号生成回路の低速のサンプル信号を包含する長いサンプル信号を選択して、前記シリアルバスに送出し、その後に、前記サンプル信号生成回路の出力から当該のサンプル信号を選択して、前記シリアルバスに送出するサンプル信号選択回路と、(D) 前記サンプル信号選択回路の出力に同期して、まず、前記低速処理装置の各々に対するバス接続切断信号を含み、その後に、当該の前記高速処理装置または前記低速処理装置に伝える制御内容を含む出力データを前記シリアルバスに送出するデータ生成回路と、(E) 前記データ生成回路の出力データにより指定された当該の前記高速処理装置または前記低速処理装置からの入力データを解析するデータ解析回路と、を前記バス制御装置に備えるとともに、(F) 前記サンプル信号選択回路が送出した長いサンプル信号により、前記データ生成回路が送出した出力データに含むバス接続切断信号を前記シリアルバスから受けて、自装置内の各部を前記シリアルバスに接続したり切断したりする制御を行うバス接続切断部、を前記低速処理装置に備えて構成されている。

【0009】さらに、第4の発明のシリアルバス制御方

式は、シリアルバスを制御するバス制御装置と、高速クロックによる動作が可能な少なくとも1台の高速処理装置と、低速クロックによる動作を行う少なくとも1台の低速処理装置とを同一のシリアルバスに接続する情報処理システムのシリアルバス制御方式において、(A) 前記高速処理装置および前記低速処理装置のそれぞれを初期化するためのリセット信号を前記シリアルバスに送出するリセット制御回路と、(B) 高速から低速の複数種類のサンプル信号を発生させるサンプル信号生成回路

10 と、(C) 前記サンプル信号生成回路の出力から当該のサンプル信号を選択して、前記シリアルバスに送出するサンプル信号選択回路と、(D) 前記リセット制御回路のリセット信号後に、まず、前記低速処理装置に対するバスへの接続および切断を指示するバス接続切断コマンドを前記高速処理装置に伝える出力データを前記シリアルバスに送出し、その後に、当該の前記高速処理装置または前記低速処理装置に伝える制御内容の出力データを前記シリアルバスに送出するデータ生成回路と、(E) 前記データ生成回路の出力データにより指定された当該の前記高速処理装置または前記低速処理装置からの入力データを解析するデータ解析回路と、を前記バス制御装置に備えるとともに、(F) 前記データ生成回路の出力データに含む前記低速処理装置に対するバス接続切断コマンドを受けて、前記低速処理装置にバス接続切断指示を送るバス接続切断指示部、を前記高速処理装置に備え、(G) 前記バス接続切断指示部のバス接続切断指示を受けて、自装置内の各部を前記シリアルバスに接続したり切断したりする制御を行うバス接続切断部、を前記低速処理装置に備えて構成されている。

20 【0010】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0011】図1は第1の発明のシリアルバス制御方式の一実施例を示すブロック図である。そして、図2は第1の発明のシリアルバス制御方式の動作の一例を示すタイムチャートである。

【0012】図1に示すように、本実施例の情報処理システムは、シリアルバス1を制御するバス制御装置2と、図2に示す高速クロックによる動作が可能な高速処理装置3と、図2に示す低速クロックによる動作を行なう低速処理装置4とを同一のシリアルバス1に接続している。

40 【0013】そして、バス制御装置2のリセット制御回路5は、高速処理装置3および低速処理装置4のそれぞれを初期化するための図2に示すリセット信号をシリアルバス1に送出している。また、バス制御装置2の高速サンプル信号生成回路6は、図2の左側部分に示すように、高速処理で、高速のサンプル信号を発生させるとともに、バス制御装置2の低速サンプル信号生成回路7は、図2の右端に示すように、低速処理で、低速のサン

ブル信号を発生させている。そして、バス制御装置2のサンプル信号選択回路8は、高速サンプル信号生成回路6および低速サンプル信号生成回路7の出力から当該のサンプル信号を選択して、シリアルバス1に送出している。

【0014】一方、バス制御装置2のデータ生成回路9は、当該の高速処理装置3または低速処理装置4に伝える制御内容の図2の出力データをシリアルバス1に送出している。また、バス制御装置2のデータ解析回路10は、データ生成回路9の出力データにより指定された当該の高速処理装置3または低速処理装置4からの入力データを解析している。そして、バス制御装置2のバス接続切断回路11は、低速処理装置4に対するバス接続切断信号をシリアルバス1に送出している。

【0015】そこで、低速処理装置4のバス接続切断部12は、バス接続切断回路11が送出したバス接続切断信号をシリアルバス1から受けて、自装置内の各部をシリアルバス1に接続したり切断したりする制御を行っている。

【0016】図3は第2の発明のシリアルバス制御方式の一実施例を示すブロック図である。そして、図4は第2の発明のシリアルバス制御方式の動作の一例を示すタイムチャートである。

【0017】図3に示すように、本実施例の情報処理システムは、シリアルバス31を制御するバス制御装置32と、図4に示す高速クロックによる動作が可能な高速処理装置33と、図4に示す低速クロックによる動作を行う低速処理装置34とを同一のシリアルバス31に接続している。

【0018】そして、バス制御装置32のリセット制御回路35は、高速処理装置33および低速処理装置34のそれぞれを初期化するための図4に示すリセット信号をシリアルバス31に送出している。また、バス制御装置32のサンプル信号生成回路36は、図4の左側部分に示すように、高速処理で、高速のサンプル信号を発生させるとともに、図4の右端に示すように、低速処理で、低速のサンプル信号を発生させている。そして、バス制御装置32のサンプル信号選択回路37は、サンプル信号生成回路36の出力から当該のサンプル信号を選択して、シリアルバス31に送出している。

【0019】一方、バス制御装置32のデータ生成回路38は、リセット制御回路35のリセット信号後に、まず、低速処理装置34に対するバス接続切断信号として、切断を示す“0”または接続を示す“1”を含み、その後に、当該の高速処理装置33または低速処理装置34に伝える制御内容を含む図4の出力データをシリアルバス31に送出している。また、バス制御装置32のデータ解析回路39は、データ生成回路38の出力データにより指定された当該の高速処理装置33または低速処理装置34からの入力データを解析している。

【0020】そこで、低速処理装置4のバス接続切断部40は、データ生成回路38が送出した出力データに含むバス接続切断信号をシリアルバス31から受けて、自装置内の各部をシリアルバス31に接続したり切断したりする制御を行っている。

【0021】なお、第2の発明のシリアルバス制御方式は、第1の発明のシリアルバス制御方式に比べて、シリアルバス上での特別のバス接続切断信号線を用いないので、シリアルバス31の信号線を減らすことができる。

【0022】図5は第3の発明のシリアルバス制御方式の動作の一例を示すタイムチャートである。

【0023】第3の発明のシリアルバス制御方式は、図5に示すように、第2の発明のシリアルバス制御方式と同様な動作を行うが、第2の発明と異なって、バス制御装置のサンプル信号選択回路は、リセット制御回路のリセット信号後に、まず、低速処理装置でのバス接続切断信号の抽出のために、サンプル信号生成回路の低速のサンプル信号を包含する図5に示す長いサンプル信号を選択して、シリアルバスに送出し、その後に、サンプル信号生成回路の出力から当該のサンプル信号を選択して、シリアルバスに送出している。

【0024】そこで、低速処理装置のバス接続切断部は、サンプル信号選択回路が送出した長いサンプル信号により、データ生成回路が送出した図5に示す出力データに含むバス接続切断信号をシリアルバスから受けて、自装置内の各部をシリアルバスに接続したり切断したりする制御を行っている。

【0025】図6は第4の発明のシリアルバス制御方式の一実施例の主要部を示すブロック図である。また、図7は第4の発明のシリアルバス制御方式の動作の一例を示すタイムチャートである。

【0026】第4の発明のシリアルバス制御方式は、第2の発明のシリアルバス制御方式と同様な動作を行うが、第2の発明と異なって、バス制御装置のデータ生成回路は、リセット制御回路のリセット信号後に、図6に示すように、まず、低速処理装置に対するバスへの接続および切断を指示するバス接続切断コマンドを高速処理装置62に伝える図7の出力データをシリアルバス61に送出し、その後に、当該の高速処理装置62または低速処理装置63に伝える制御内容の出力データをシリアルバス61に送出している。

【0027】そこで、高速処理装置62のバス接続切断指示部64は、データ生成回路の出力データに含む低速処理装置63に対するバス接続切断コマンドを受けて、低速処理装置63にバス接続切断指示を送っている。

【0028】そして、低速処理装置63のバス接続切断部65は、バス接続切断指示部64のバス接続切断指示を受けて、自装置内の各部をシリアルバス61に接続したり切断したりする制御を行っている。

50 【0029】

【発明の効果】以上説明したように、本発明のシリアルバス制御方式は、高速処理装置に対する処理中には、低速処理装置のシリアルバスへの接続を切断して、低速処理装置の誤動作を防ぐことにより、高速処理装置に対する高速処理を行うことができるという効果を有している。

【図面の簡単な説明】

【図1】第1の発明のシリアルバス制御方式の一実施例を示すブロック図である。

【図2】第1の発明のシリアルバス制御方式の動作の一例を示すタイムチャートである。

【図3】第2の発明のシリアルバス制御方式の一実施例を示すブロック図である。

【図4】第2の発明のシリアルバス制御方式の動作の一例を示すタイムチャートである。

【図5】第3の発明のシリアルバス制御方式の動作の一例を示すタイムチャートである。

【図6】第4の発明のシリアルバス制御方式の一実施例の主要部を示すブロック図である。

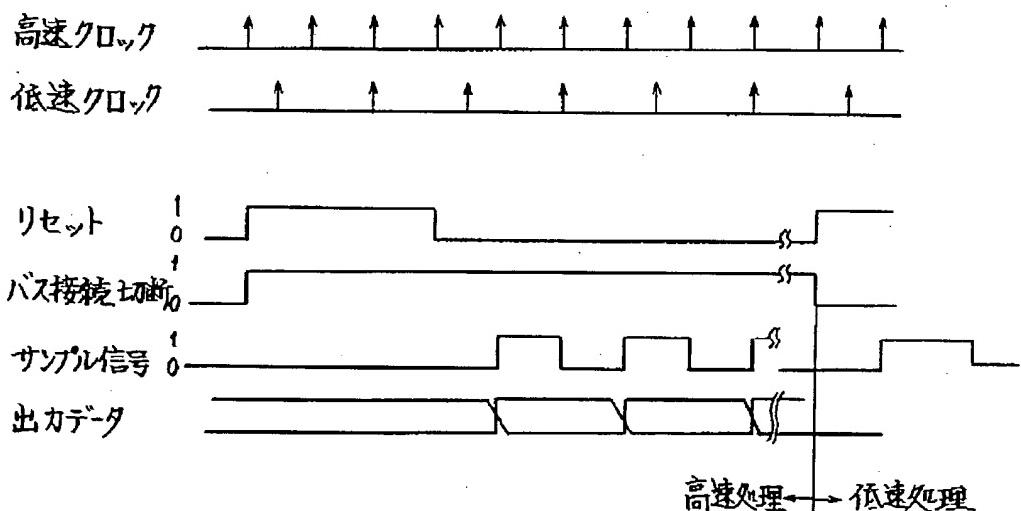
【図7】第4の発明のシリアルバス制御方式の動作の一例を示すタイムチャートである。

【図8】従来のシリアルバス制御方式の一例を示すブロック図である。

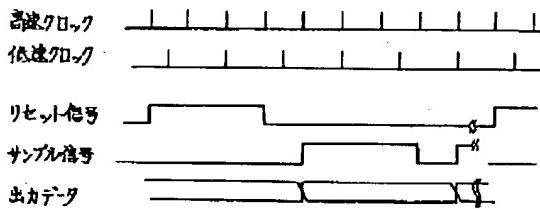
【符号の説明】

- 1, 31, 61, 81 シリアルバス
- 2, 32, 82 バス制御装置
- 3, 33, 62, 83 高速処理装置
- 4, 34, 63, 84 低速処理装置
- 5, 35 リセット制御回路
- 6 高速サンプル信号生成回路
- 7, 85 低速サンプル信号生成回路
- 8, 37 サンプル信号選択回路
- 9, 38, 86 データ生成回路
- 10, 39, 87 データ解析回路
- 11 バス接続切断回路
- 12, 40, 65 バス接続切断部
- 36 サンプル信号生成回路
- 64 バス接続切断指示部

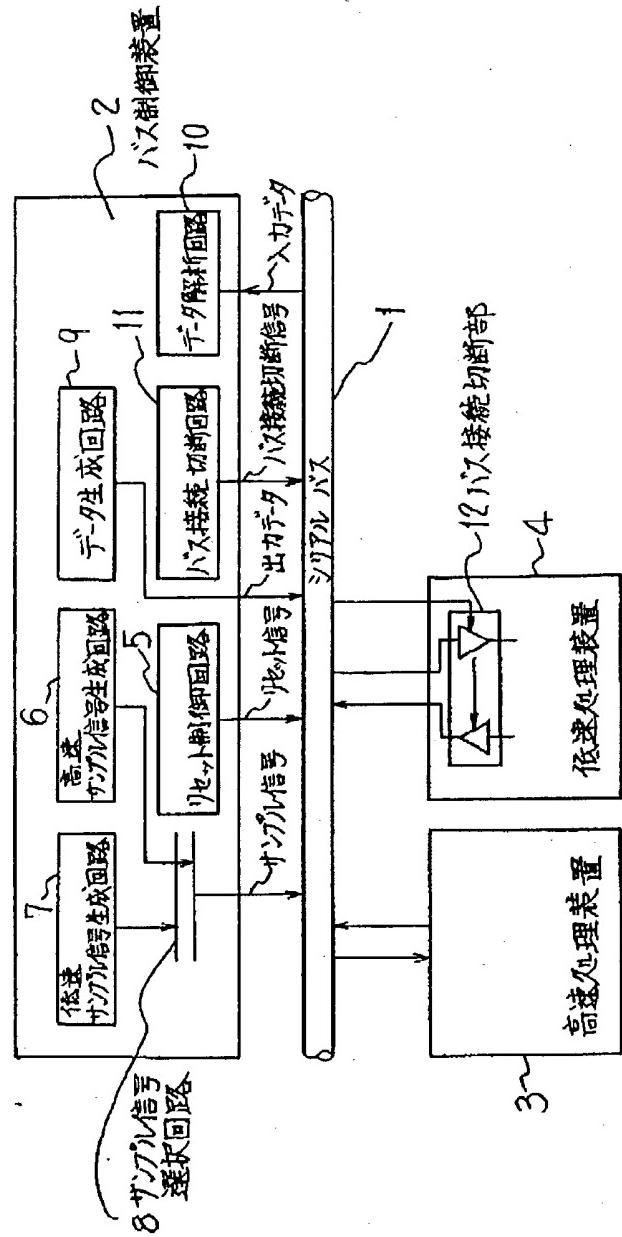
【図2】



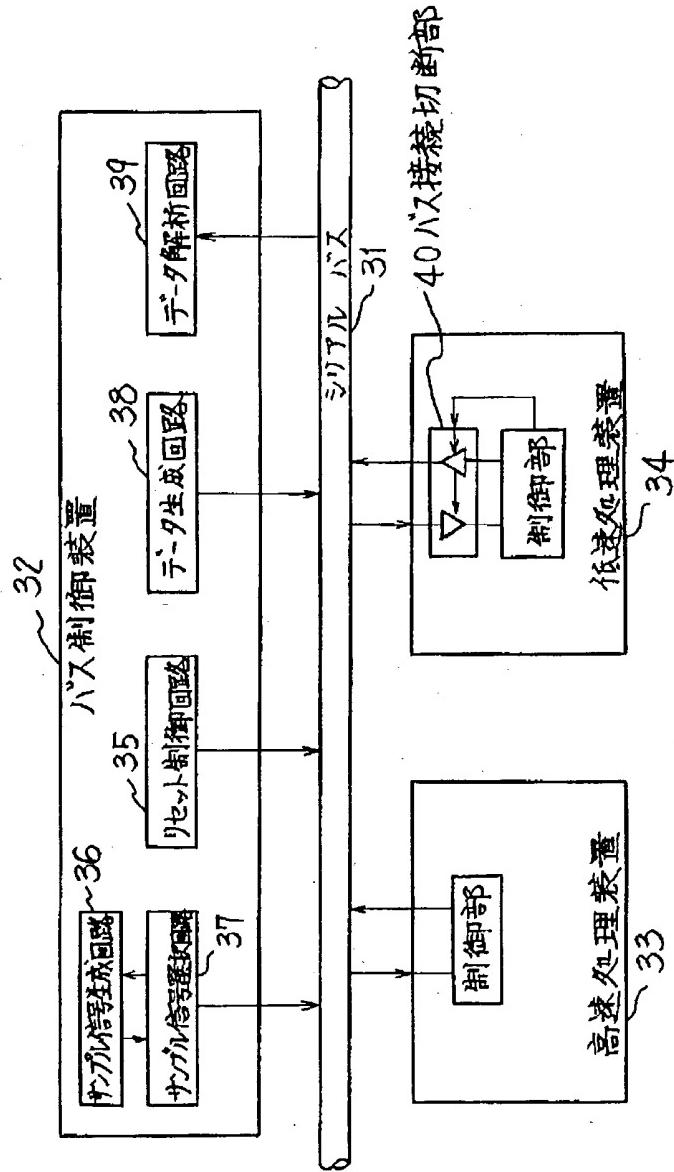
【図5】



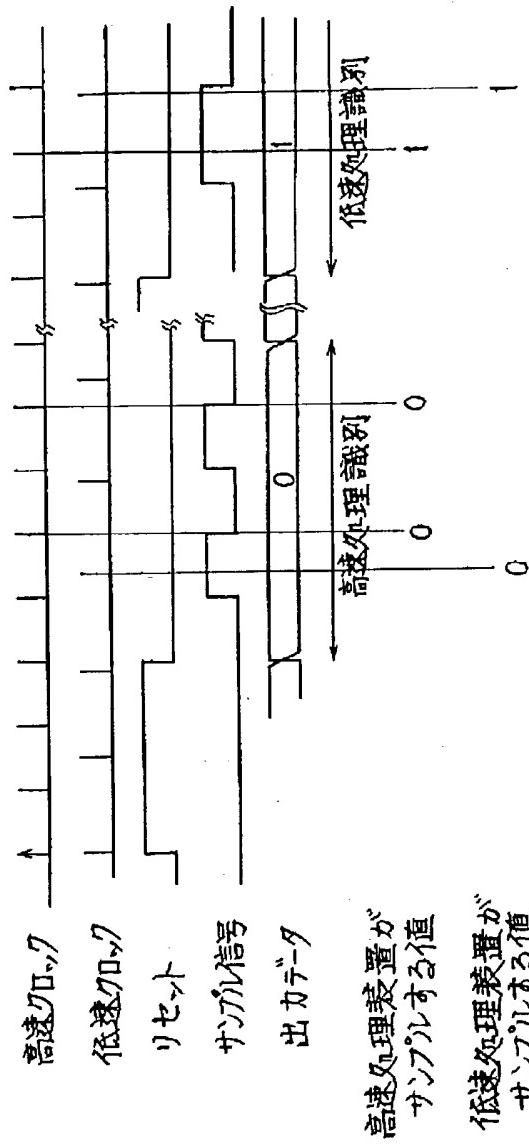
【図1】



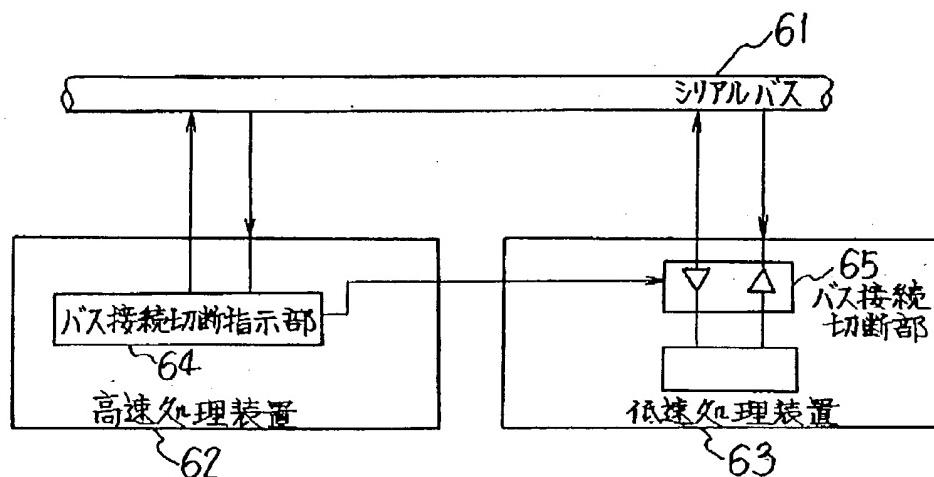
【図3】



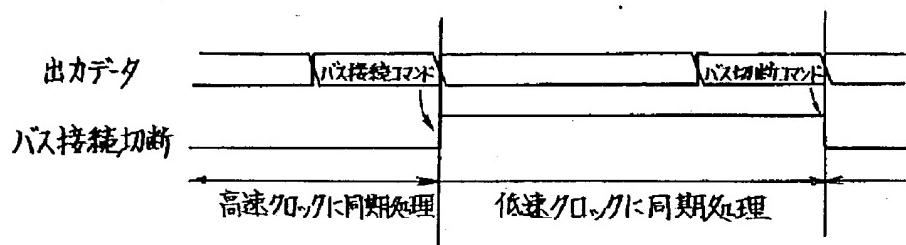
【図4】



【図6】



【図7】



【図8】

